

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-23376

(P2001-23376A)

(43) 公開日 平成13年1月26日 (2001.1.26)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
G 1 1 C 11/419		G 1 1 C 11/34	3 1 1
16/06		H 0 3 K 5/02	Z
H 0 1 L 29/786		G 1 1 C 17/00	6 3 4 C
// H 0 3 K 5/02		H 0 1 L 29/78	6 1 3 B
			6 1 4
審査請求 有 請求項の数15 O L (全 6 頁)			

(21) 出願番号 特願2000-144792(P2000-144792)

(22) 出願日 平成12年5月17日 (2000. 5. 17)

(31) 優先権主張番号 0 9 / 3 1 6 7 5 3

(32) 優先日 平成11年5月21日 (1999. 5. 21)

(33) 優先権主張国 米国 (U S)

(71) 出願人 390009531

インターナショナル・ビジネス・マシー
ズ・コーポレーションINTERNATIONAL BUSIN
ESS MACHINES CORPO
RATIONアメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)(72) 発明者 ヴィスウェスウェラ・ラオ・コダリ
アメリカ合衆国78753 テキサス州オース
チン テリッパ・コーヴ 1003

(74) 代理人 100086243

弁理士 坂口 博 (外 2 名)

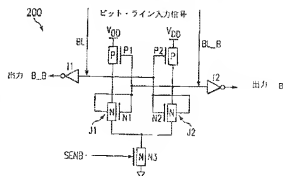
最終頁に続く

(54) 【発明の名称】 S O I トランジスタを用いた回路および S O I トランジスタの応答時間を減少させる方法

(57) 【要約】

【課題】本発明は、S O I を用いた回路素子を含む回路構成に関するものであり、特に S O I を用いたアンプの応答時間を改善するものである。

【解決手段】S O I 技術を用いた差動入力センサ・トランジスタ N 1、N 2 の本体 (ボディ) J 1、J 2 が差動データ入力 B L、B L _ B、それぞれのゲート、およびプリ・チャージ・トランジスタ P 1、P 2 に接続される。これにより、差動入力センサ・トランジスタ N 1、N 2 のトランジスタ・ターンオン電圧が予測可能となり、応答時間が高速化される。



【特許請求の範囲】

【請求項 1】第 1 のトランジスタのトランジスタ本体電圧を前記第 1 のトランジスタのゲート電圧に設定し、前記第 1 のトランジスタの前記ゲート電圧を用いて、前記第 1 のトランジスタを動作させることを含む、SOI トランジスタの応答時間を減少させる方法。

【請求項 2】第 2 のトランジスタのトランジスタ本体電圧を前記第 2 のトランジスタのゲート電圧に設定し、前記第 2 のトランジスタの前記ゲート電圧を用いて、前記第 2 のトランジスタを動作させることをさらに含む、請求項 1 に記載の SOI トランジスタの応答時間を減少させる方法。

【請求項 3】前記第 1 と第 2 のトランジスタは、入力センサ・トランジスタである、請求項 2 に記載の SOI トランジスタの応答時間を減少させる方法。

【請求項 4】トランジスタ本体、ゲート、ソースおよびドレインを有する第 1 のトランジスタと、前記第 1 のトランジスタの前記トランジスタ本体に接続され、かつ前記第 1 のトランジスタの前記ゲートに接続されたデータ信号入力を含む、応答時間を減少させた SOI トランジスタを用いた回路。

【請求項 5】トランジスタ本体、ゲート、ソースおよびドレインを有する第 2 のトランジスタと、前記第 2 のトランジスタの前記トランジスタ本体に接続され、かつ前記第 2 のトランジスタの前記ゲートに接続された第 2 のデータ信号入力とをさらに含む、請求項 4 に記載の回路。

【請求項 6】前記第 1 と第 2 のトランジスタは、入力センサ・トランジスタである、請求項 4 に記載の回路。

【請求項 7】前記回路は、差動入力センサ・アンプである、請求項 4 に記載の回路。

【請求項 8】第 1 のトランジスタのトランジスタ本体電圧を第 1 のプリ・チャージ電圧にプリ・チャージし、前記第 1 のトランジスタの前記ゲート電圧を用いて、前記第 1 のトランジスタを動作させることを含む、SOI トランジスタの応答時間を減少させる方法。

【請求項 9】第 2 のトランジスタのトランジスタ本体電圧を第 2 のプリ・チャージ電圧にプリ・チャージし、前記第 2 のトランジスタの前記ゲート電圧を用いて、前記第 2 のトランジスタを動作させることをさらに含む、請求項 8 に記載の SOI トランジスタの応答時間を減少させる方法。

【請求項 10】前記第 1 と第 2 のプリ・チャージ電圧の前記トランジスタ本体電圧は、前記第 1 と第 2 のトランジスタの少なくとも 1 つのトランジスタの動作の間維持される、請求項 9 に記載の SOI トランジスタの応答時間を減少させる方法。

【請求項 11】前記第 1 と第 2 のトランジスタの 1 つが入力センサ・トランジスタである、請求項 9 に記載の SOI トランジスタの応答時間を減少させる方法。

【請求項 12】トランジスタ本体、ゲート、ソースおよびドレインを有する第 1 のトランジスタと、前記第 1 のトランジスタの前記トランジスタ本体へ接続したプリ・チャージ入力と、前記第 1 のトランジスタの前記ゲートへ接続したデータ信号入力を含む、応答時間を減少させた SOI トランジスタを用いた回路。

【請求項 13】トランジスタ本体、ゲート、ソースおよびドレインを有する第 2 のトランジスタと、前記第 2 のトランジスタの前記トランジスタ本体へ接続したプリ・チャージ入力と、前記第 2 のトランジスタの前記ゲートへ接続したデータ信号入力とをさらに含む、請求項 12 に記載の回路。

【請求項 14】前記第 1 と第 2 のトランジスタは、入力センサ・トランジスタである、請求項 13 に記載の回路。

【請求項 15】前記回路は、差動入力センサ・アンプである、請求項 13 に記載の回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シリコンオンインシュレータ（SOI）技術に関するものである。さらに詳しくは、本発明は、SOI を用いた回路素子を含む回路構成に関するものである。さらにもっと詳しくは、本発明は、SOI を用いたアンプの応答時間を改善することに関するものである。

【0002】

【従来の技術】シリコンオンインシュレータ（SOI）型薄膜トランジスタは、絶縁体膜を有する半導体基板上に形成された半導体層につくられた活性領域（ソース／ドレイン領域）を含む。活性領域が半導体基板から隔離されるので、SOI 型薄膜トランジスタは、活性領域の接合キャパシタンスが非常に小さく、したがって高速、かつ低消費電力での動作を可能にするという特徴を有する。

【0003】

【発明が解決しようとする課題】SOI トランジスタの本体領域、すなわち、トランジスタが形成される半導体層のボディ領域が浮いているとき、本体の色々な電圧レベルがトランジスタ・ターンオン電圧に影響を及ぼす。トランジスタ・ターンオン電圧は、一定ではなく変動する。このため、動作の予測可能性が問題となる。SOI トランジスタの本体電圧レベルが、グランドまたは V_{DD} に設定されると、SOI トランジスタ閾値電圧がバク型デバイスの閾値電圧に下げられるため、SOI トランジスタの速度の利点が減少する。

【0004】

【課題を解決するための手段】高速度状態遷移時間が必要とされ、SOI技術が用いられる回路では、応答および状態遷移時間の予測は、差動入力センス・トランジスタの本体の電圧レベルを差動データ入力へ接続することにより効果的に行なわれる。差動入力センス・トランジスタを各々のプリー・チャージ入力へ接続することにより、差動入力センス・トランジスタのトランジスタ・ターンオン電圧が予測可能となり、また速度性能が向上する。そのようにすることにより、本体電圧は、回路入力電圧信号に追従し、差動入力センス・トランジスタの応答時間を高速化する。

【0005】

【発明の実施の形態】図1は、従来技術において既知であるセンス・アンプの回路図を示す。差動センス・アンプ回路100は、3つのN型CMOSトランジスタ、N1、N2およびN3からなる。トランジスタN1とN2のソースは、3番目のN型CMOSトランジスタN3のドレインへ接続される。トランジスタN3のゲートは、センス・イネーブル入力SENBへ接続され、トランジスタN3のソースは、グランドへ接地される。トランジスタN1のドレインは、トランジスタP1のドレインへ接続され、トランジスタP1とN1のゲートは、いっしょに結合される。トランジスタP1のソースは、電圧V_{DD}へ接続される。同様に、トランジスタN2のドレインは、トランジスタP2のドレインへ接続され、トランジスタP2とN2のゲートは、いっしょに結合される。トランジスタP2のソースもまた、入力電圧V_{DD}へ接続される。

【0006】差動センス・アンプ回路100は、2つのインバータI1とI2も含む。インバータI1の入力は、トランジスタP2およびN2のゲートと、トランジスタP1およびN1のドレインとに接続される。インバータI2の入力は、トランジスタP1およびN1のゲートと、トランジスタP2およびN2のドレインとに接続される。ビット・ライン電圧B_Lは、インバータI1の入力へ与えられ、ビット・ライン電圧B_Lは、インバータI2の入力へ与えられる。

【0007】トランジスタN1とN2について戻って参照すると、N1のトランジスタ本体（ボディ）は、ジャンクションJ1で、グランドへ接地されることに注意されたい。同様に、N2のトランジスタ本体は、ジャンクションJ2により接地される。両トランジスタN1とN2の本体は、ビット・ラインB_LとB_L上の信号の状態（ハイまたはローのどちらか）に関係なく、グランドへ接地のままである（または、ローである）。トランジスタN1とN2の本体は、代替的に電圧V_{DD}へ接続させることができる（図示していない）。

【0008】差動センス・アンプ回路100の動作について説明すると、トランジスタN1とN2は、入力電圧B_LとB_L上の回路に与えられる差動ビット・ラ

イン電圧を検出する。通常のように、一方の入力電圧ラインは、もう一方の相補である。トランジスタP1とP2は、アンプ入力段のプル・アップ・デバイスとして動作する。トランジスタN3は、センス・アンプをイネーブルにするために用いられ、差動入力ビット・ライン入力B_LとB_Lの間に生成される。差動センス・アンプ100からの出力信号は、インバータI1とI2によってさらに増幅される。ビット・ライン電圧は、ラインB_LとB_Lから与えられ、そして、出力は、インバータI1とI2を介して反転されて増幅され、出力B_LとB_Lとして与えられる。このアンプは、期待通りに動作するが、差動センス・アンプ100のパフォーマンスは、所望したよりも低い。

【0009】図1に示した差動センス・アンプ100の第2の変形（図示していない）では、トランジスタN1とN2の本体を浮動させる。すなわち、ジャンクションJ1を介して、トランジスタN1をグランドへ接地するのではなく、本体をグランドから隔離したままにする。同様に、ジャンクションJ2を介して、トランジスタN2の本体をグランドへ接地するのではなく、グランドよりも高い電位に浮動させる。トランジスタN1とN2の本体を浮動させることにより、次の問題が発生する。ラインB_LまたはB_Lのどちらかのビット・ラインがスイッチするとき、しばしば、トランジスタN1またはN2のどちらかに対応したバスの本体がより低い電位を有し、そのために、トランジスタのターンオン電圧の不整合が発生する。トランジスタN1またはN2の下の領域がグランドへ接地されないと、トランジスタ本体電圧は、トランジスタのターンオン電圧V_Tに影響を及ぼす様々な電圧レベルに浮動する。多くのアプリケーションでは、トランジスタのターンオン電圧が回路データ状態の前駆の関数として変動するのは好ましくない。ターンオン電圧が古いデータ状態に影響されるのは問題である。このため、トランジスタ応答の予測が問題となる。

【0010】差動センス・アンプ100の動作において、ビット・ライン入力B_LとB_Lが、ハイにプリー・チャージされ、センス・アンプ・イネーブルSENBは、オフまたはローである。反転された出力B_LとB_Lは、ローまたはオフである。トランジスタN1とN2がオンであり、トランジスタP1とP2はオフである。ノイズ閾値を越える十分な電位差がビット入力ラインB_LとB_Lの間につくられる。所定時間をおいた後に、センス・アンプ・イネーブルSENBは、ハイになる。ビット入力ラインB_LとB_Lのデータは、一方のビット入力ライン、例えばB_Lをハイのままにし、一方その相補側のビット入力ライン、例えばB_Lは、ローになり、トランジスタP1をオンにし、トランジスタN1をオフにする。この場合、入力ラインB_Lがハイであるから、トランジスタN2がオンであり、かつトランジスタP2がオフである。このように、交差結合したラッ

チがトリガされ、ビット・ライン値を取り込む。このプロセスは、サイクル毎に繰り返す。

【0011】本発明の好ましい実施例によると、ここで述べた問題に対する解決法は、トランジスタの本体領域から、それぞれのゲートに供給される制御データ入力信号へ、差動入力センス・トランジスタの接続を提供することにより実現される。このことは、本体電圧が回路入力電圧に追従し、かつセンス・アンプ回路での増幅動作を助けることを可能にする。このようにして、応答時間の速度をあげ、また同時に、トランジスタ応答または動作が予測可能となるように関連づけられた既知の制御された本体電圧を与えることができる。

【0012】図2は、本発明の好ましい実施例による差動センス・アンプ回路を示す。差動センス・アンプ200は、本質的には、図1の差動センス・アンプ100で示したものと同一回路である。しかしながら、トランジスタN1とN2のジャンクションJ1とJ2が、それぞれのトランジスタの本体をグラウンドへ接地するのではなく、トランジスタN1の本体がジャンクションJ1を介して、ビット・ライン電圧入力BL_{__}Bへ接続され、トランジスタN2の本体は、ジャンクションJ2を介して、ビット・ライン電圧入力BL_{__}Bへ接続される。このように、差動センス・アンプ200は、差動センス・トランジスタの本体電圧がトランジスタ入力電圧信号に設定され、グラウンドまたは固定されたV_{DD}電圧に設定されない点で、基本的に従来技術とは異なる。本発明の好ましい実施例によると、トランジスタN1とN2の両本体は、各々、ビット・ラインBL_{__}BとBLのプリ・チャージにより、最初ハイにプリ・チャージされる。それぞれのゲートに結ばれる。このことが、デバイスを速い状態、または、低いVTにする。ビット・ライン間に十分な差動電圧を与える所定の時間を待たれた後に、センス・アンプ入力SEN_Bがオンになり、ハイになる。

【0013】回路動作において、ビット入力カインBL_{__}B電圧がビット入力カインBLより約200ミリボルト低いものと想定する。こうすると、トランジスタN1の本体が、低い電位またはより高いVTとなり、トランジスタN1のゲートもまた、トランジスタN2のゲートより低い電位となる。トランジスタN2のゲートは、最大またはハイであり、かつトランジスタN2の本体も最大であり、トランジスタN2を速い状態にする。上述した本体・ゲート電位の上述の設定は、より速くトランジスタN1をオフにし、かつより速くトランジスタN2をオンにし、ラッチ構造にビット値をすばやく取り込ませる。

【0014】図3は、従来技術の差動センス・アンプの代替の実施例を示す回路図である。差動センス・アンプ300は、5つのN型CMOSトランジスタからなる。トランジスタN1とN2のソースは、トランジスタN3とN4のドレインへ接続される。トランジスタN3とN

4のソースは、第5のN型CMOSトランジスタN5へ接続される。トランジスタN5のゲートは、センス・イネーブル入力SEN_Bへ接続され、ゲートN5のソースは、グラウンドへ接地される。トランジスタN1のドレインは、トランジスタP1とP3のドレインへ接続され、トランジスタP1とN1のゲートは、いっしょに結合される。トランジスタP1とP3のソースは、電圧V_{DD}へ接続される。差動センス・アンプ回路300のもう一方の側では、トランジスタN2のドレインがトランジスタP2とP4のドレインへ接続され、トランジスタP2とN2のゲートがいっしょに結合される。トランジスタP2とP4のソースもまた、入力電圧V_{DD}へ接続される。

【0015】差動センス・アンプ回路300は、2つのインバータI1とI2も含む。インバータI1の入力は、トランジスタP2およびN2のゲートと、トランジスタP1、P3およびN1のドレインとへ接続される。インバータI2の入力は、トランジスタP1およびN1のゲートと、トランジスタP2、P4およびN2のドレインとへ接続される。ビット・ライン電圧BL_{__}Bは、トランジスタN3のゲートへ与えられる。ビット・ライン電圧BL_{__}Bは、トランジスタN4のゲートへ与えられる。センス・イネーブル入力SEN_Bは、トランジスタN5、P3およびP4へ接続される。トランジスタN1とN2に戻って参照すると、トランジスタN1の本体が、ジャンクションJ1でグラウンドへ接地されることに注意されたい。同様に、トランジスタN2の本体も、ジャンクションJ2によってグラウンドへ接地される。両トランジスタN1とN2の本体は、ビット・ラインBL_{__}BとBL_{__}Bの信号の状態に関係なくグラウンドへ接地される。トランジスタN1とN2の本体は、代替的に電圧V_{DD}へ接続させることができる（図示していない）。トランジスタN3とN4の本体もまた、ジャンクションJ3とJ4を介して、各々、グラウンドへ接地される。

【0016】図3に示した差動センス・アンプ回路300の第2の変形（図示していない）では、トランジスタN1、N2、N3およびN4の本体を浮動させる。すなわち、ジャンクションJ1、J2、J3およびJ4を介して、トランジスタN1、N2、N3およびN4をグラウンドへ接地するのではなく、トランジスタ本体をグラウンドから隔離したままにする。動作において、センス・アンプ・イネーブルSEN_Bは、差動センス・アンプ回路300では、最初オフまたは0である。トランジスタP3とP4はオンであり、V_{DD}でトランジスタP1、P2、N1およびN2のゲートをプリ・チャージする。プリ・チャージ電圧により、インバータI1とI2からの出力BとB_{__}Bはローのままである。トランジスタN1とN2のゲートのプリ・チャージは、また、現在導通しているトランジスタN1とN2を介して、トランジスタN3とN4のドレインをプリ・チャージするように電圧V_{DD}を結合する。ノイズ閾値を越える十分な電位差がビ

ット入力ラインB_LとB_L—Bの間に付くられる、所定時間を待た後に、センス・アンプ・イネーブルSEN Bは、ハイになる。ビット入力ラインB_LとB_L—Bのデータは、一方のビット入力ライン、例えばB_Lをハイのままにし、一方その相補側のビット入力ラインB_L—Bはローになり、トランジスタN₄をオフにする。この場合、トランジスタN₃は、オンのままである。トランジスタN₄をオフにする動作は、トランジスタP₁とN₁のプリ・チャージ・レベルを維持する効果を有するが、トランジスタN₅をオンにする動作は、トランジスタN₅を介して、トランジスタN₁とN₃のドレインのプリ・チャージをグラウンドへ放電する効果を有する。トランジスタN₁とN₃のプリ・チャージが放電されると、トランジスタP₂がオンになり、そして、トランジスタN₂がオフになる。それは、それぞれのゲートのプリ・チャージ電圧がトランジスタN₁とN₃を介し、最後にトランジスタN₅を介して放電されるためである。このようにして、交差結合したラッチがトリガされ、ビット・ライン値を取り込む。このプロセスは、サイクル毎に繰り返す。別の言葉で言えば、センス・アンプ・イネーブルSEN Bがハイになると、差動センス・アンプ回路300は、事実上差動センス・アンプ回路100のように見える。このプロセスは、サイクル毎に繰り返す。

【0017】図4は、本発明の好ましい実施例による差動センス・アンプ回路を示す。差動センス・アンプ400は、本質的には、図3に示した回路と同じ回路である。しかしながら、トランジスタN₁とN₂のジャンクション1と2が、各々のトランジスタの本体をグラウンドへ接地するのではなく、トランジスタN₁の本体は、プリ・チャージ状態で電圧V_{DD}である、そのゲート制御電圧へ接続される。トランジスタN₂の本体もまた、プリ・チャージ状態で電圧V_{DD}である、そのゲート制御電圧へ接続される。さらに、トランジスタN₃の本体もまた、ジャンクション3を介して、プリ・チャージ状態で電圧V_{DD}である、トランジスタN₁のゲート制御電圧へ接続される。また、トランジスタN₄の本体は、ジャンクション4を介して、プリ・チャージ状態で電圧V_{DD}である、トランジスタN₂のゲート制御電圧へ接続される。

【0018】このため、差動センス・アンプ400は、差動センス・トランジスタの本体電圧が、少なくとも最初は、プリ・チャージ電圧V_{DD}であるトランジスタ入力電圧信号に設定される点で、従来技術とは根本的には異なる。

【0019】本発明の好ましい実施例によると、トランジスタN₁、N₂、N₃およびN₄の本体は、トランジスタP₃とP₄を介するプリ・チャージ電圧V_{DD}によって、最初ハイにプリ・チャージされる。このことが、デバイスを速い状態または低いV_Tにする。ビット・ライ

ン間に十分な差動電圧を与えるための所定の時間をおいた後に、センス・アンプSEN Bがオンになり、そして、B_LとB_L—B間のビット入力ライン差の検出にตอบสนองしてハイになる。B_L—B電圧がビット入力ラインB_Lより約200ミリボルト低いものと想定する。トランジスタN₃のゲートは、ハイになるビット・データ・ラインB_Lにより、最大またはハイであり、またトランジスタN₃の本体は、電圧V_{DD}のプリ・チャージのためにハイであり、トランジスタN₃を非常に速い状態または低いV_Tにする。このようにして、トランジスタN₃はオンになり、トランジスタN₅を介して、グラウンドへのパスを完成させる。

【0020】トランジスタN₃を介する、グラウンドへのパスの完成で、トランジスタP₂とN₂のゲートのプリ・チャージ電圧V_{DD}は、トランジスタN₂とN₄の本体のプリ・チャージ電圧V_{DD}とともに、グラウンドへ放電する。トランジスタN₄の本体のプリ・チャージ電圧の放電は、トランジスタ本体を低電位および高V_T状態にし、トランジスタ本体をプリ・チャージしない場合よりもより速く、トランジスタN₄をオフにする。電圧B_LがB_L—Lよりも高いため、トランジスタN₄のゲートはトランジスタN₁、N₂、P₁およびP₂のラッチ構造にビット値をすばやく取り込ませることができる。

【0021】本発明は、十分に機能する差動センス・アンプ回路について述べられてきたが、当業者ならば、本発明の技法が種々の回路構成で実施可能なことを理解されよう。本発明の説明は、例示のために示されたものであり、開示された形式に本発明を限定するものではない。多くの変更と変化が可能なことは、当業者には明らかである。

【0022】

【図面の簡単な説明】

【図1】従来の差動センス・アンプ回路を示す。

【図2】本発明の好ましい実施例による差動センス・アンプ回路を示す。

【図3】従来の差動センス・アンプの代替実施例回路を示す。

【図4】本発明の好ましい実施例による差動センス・アンプ回路を示す。

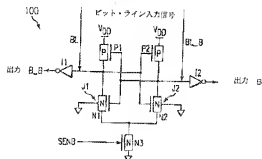
【符号の説明】

100	センス・アンプ回路
200	センス・アンプ回路
300	センス・アンプ回路
400	センス・アンプ回路
Px	トランジスタ
Nx	トランジスタ

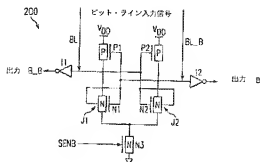
I x インバータ
J x ジャンクション
VDD 電圧
BL ビット・ライン

BL_{__}B ビット・ライン
B ビット・ライン
B_{__}B ビット・ライン
SEN B センス・アンプ・イネーブル

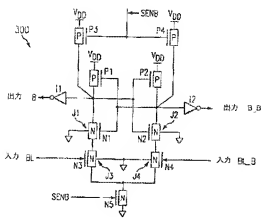
【図1】



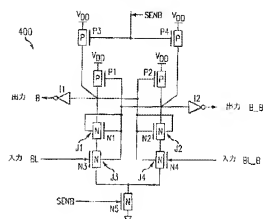
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 ミカエル・ジュイエオク・リー
アメリカ合衆国78758 テキサス州オース
チン メトリック・ブルーヴァード ナン
バ1028 11701

(72)発明者 サリム・アーメド・シャー
アメリカ合衆国78746 テキサス州オース
チン スバイグラス・ドライブ ナンバ
1117 1741